

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011347597 **Image available**

WPI Acc No: 1997-325502/199730

XRPX Acc No: N97-269637

Surface conduction-type electron-emitting component for e.g. flat panel display, field emission display - has electron-emitting film formed on inner surface of vertical hole which extends from upper surface of three-layer structure to lower electrode layer, which emits electrons when energised

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9129119	A	19970516	JP 95310035	A	19951102	199730 B

Priority Applications (No Type Date): JP 95310035 A 19951102

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9129119	A	14	H01J-001/30	

Abstract (Basic): JP 9129119 A

The electron-emitting component (50) has a three-layer structure which includes an insulating layer (53) pinched between a lower electrode layer (52) and an upper electrode layer (54). The three-layer structure is arranged on a glass substrate (51).

A vertical hole, which extends from the upper surface of the three-layer structure to the lower electrode layer, is formed. An electron-emitting film is formed on the inner surface of the vertical hole. The electron-emitting film emits electrons when it is energised.

ADVANTAGE - Ensures accuracy in measuring shape of electron-emitting component. Enables using component electrode as wiring, and simplifies structure and manufacturing process.

Dwg.3/19

Title Terms: SURFACE; CONDUCTING; TYPE; ELECTRON; EMIT; COMPONENT; FLAT; PANEL; DISPLAY; FIELD; EMIT; DISPLAY; ELECTRON; EMIT; FILM; FORMING; INNER; SURFACE; VERTICAL; HOLE; EXTEND; UPPER; SURFACE; THREE; LAYER; STRUCTURE; LOWER; ELECTRODE; LAYER; EMIT; ELECTRON; ENERGISE

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02; H01J-031/12

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-D05C5; V05-L01A3

THIS PAGE BLANK (USPTO)

特開平9-129119

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30		H 0 1 J	1/30
	9/02			9/02
	31/12			31/12
				A
				B
				C

審査請求 未請求 請求項の数 8 F D (全 14 頁)

(21) 出願番号 特願平7-310035

(22) 出願日 平成7年(1995)11月2日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 細谷 守男

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

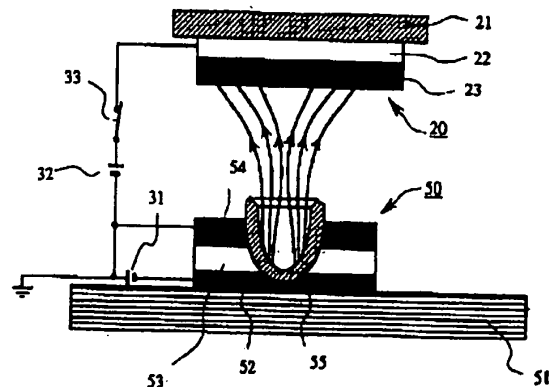
(74) 代理人 弁理士 志村 浩

(54) 【発明の名称】 電子放出素子およびその製造方法

(57) 【要約】

【課題】 フラットパネルディスプレイへの利用に適するように、構造を単純化し、製造プロセスを簡単にする。

【解決手段】 ガラス基板51上に、下部電極層52と上部電極層54との間に絶縁層53を挟んでなる三層構造体を配置し、この三層構造体に、上面から少なくとも下部電極層52に至る深さをもった「すり鉢状」の縦穴を形成し、この縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜55を形成する。電極52、54間に電界をかけると、電子放出膜55の表面から、表面導電型の電子放出が起こり、対向基板20へと飛翔する。「すり鉢状」の縦穴は、上部電極層54の表面に対してサンドブラスト法を行うことにより形成できる。この素子をガラス基板51上にマトリックス状に配置した場合、下部電極層52および上部電極層54をそのまま駆動用配線層として利用できる。



【特許請求の範囲】

【請求項1】 下部電極層と上部電極層との間に絶縁層を挟んでなる三層構造体を基板上に配置し、この三層構造体に、上面から少なくとも前記下部電極層に至る深さをもった縦穴を形成し、この縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜を形成したことを特徴とする電子放出素子。

【請求項2】 請求項1に記載の電子放出素子において、三層構造体を貫通し基板に至る深さをもった縦穴を形成したことを特徴とする電子放出素子。

【請求項3】 請求項1または2に記載の電子放出素子において、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴を形成したことを特徴とする電子放出素子。

【請求項4】 請求項1～3のいずれかに記載の電子放出素子において、列方向に伸びた下部電極層を行方向に複数配置するとともに、行方向に伸びた上部電極層を列方向に複数配置し、下部電極層と上部電極層との交差部分において両電極層間に絶縁層を挟み、前記各交差部分にそれぞれ三層構造体が形成されるようにし、各三層構造体に縦穴および電子放出膜を形成したことを特徴とする電子放出素子。

【請求項5】 請求項4に記載の電子放出素子において、上部電極層を絶縁層を介して基板上に形成するようにし、上部電極層の形成領域のうち、下部電極層との交差部分には三層構造体が形成され、それ以外の部分には上部電極層と絶縁層とからなる二層構造体が形成されるようにしたことを特徴とする電子放出素子。

【請求項6】 請求項1～5のいずれかに記載の電子放出素子を製造する方法であって、絶縁性の基板上に第1の準備層を形成し、この第1の準備層をパターニングして下部電極層を形成する段階と、前記基板および前記下部電極層上に絶縁性の中間層を形成し、この中間層の上に第2の準備層を形成する段階と、

前記第2の準備層をパターニングして上部電極層を形成する段階と、

前記中間層をパターニングして絶縁層を形成する段階と、

前記下部電極層、前記絶縁層、前記上部電極層からなる三層構造体の上面から、少なくとも前記下部電極層に至る深さをもった縦穴を形成する段階と、

前記縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜を形成する段階と、

を有することを特徴とする電子放出素子の製造方法。

【請求項7】 請求項1～5のいずれかに記載の電子放出素子を製造する方法であって、

縦穴の形成を、エッチングもしくはサンドブラスト法による切削工程により行うことを特徴とする電子放出素子。

【請求項8】 請求項4に記載の電子放出素子を製造する方法であって、

基板上に、列方向に伸びた下部電極層、行方向に伸びた上部電極層、両電極層間の絶縁層、をそれぞれ形成した後、基板全面にネガ型レジスト層を形成し、基板下側から光を照射する背面露光を行い、この背面露光の際に、下部電極層および上部電極層の上面側への光の回り込み現象により、両電極層の交差部分のみが非露光部となるように、照射光強度および照射時間を設定し、露光後に前記レジスト層に対する現像を行って前記非露光部を除去し、前記交差部分においてレジスト層に開口部を形成し、この開口部を利用して縦穴の形成を行うことを特徴とする電子放出素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子に関し、特に、表面伝導型の電子放出素子に関する。

【0002】

【従来の技術】フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板上の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した尖鋭な突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリング エレクトロ フィジックス(Radio Eng. Electron. Phys.)第10巻、1290～1296頁」に、エム・アイ・エリンソン(M.I.Elinson)らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発されたSnO₂(Sb)薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】また、最近では、特公平6-101297号公報に、微粒子を分散した面を挟持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開示されており、特公平6-87392号公報には、微粒子を含む薄膜導電体膜に通電加熱を施すことにより、表面伝導型の電子放出機能をもった電子放出素子を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】上述したように、表面伝導型の電子放出素子は、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイへ応用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できるようにする必要がある。このように多数の電子放出素子を行列状に配置して駆動する場合に解決しなければならない第1の課題は、個々の素子の特性を均一化することである。すなわち、従来の表面伝導型の電子放出素子では、基板上に小面積の電子放出膜が形成され、この電子放出膜の両側に電流供給用の電極が形成される。そして、この一対の電極間に存在する電子放出膜の膜面に電流が流れ、電子放出が起こることになる。したがって、両電極間の距離が各素子ごとにばらついていると、個々の素子ごとの特性が不均一になる。別言すれば、同じ電圧を印加しても、放出される電子の量が個々の素子ごとに異なることになる。このように、1枚のフラットパネルディスプレイを構成する電子放出素子の特性が不均一であると、画面の表示状態にムラが生じ、もはや高品位のディスプレイは実現できなくなる。このため、個々の電子放出素子を構成する電極間隔には高い精度が要求される。しかしながら、このような高い位置精度を確保するためには、高度な位置合わせ技術が要求され、製造コストも高騰せざるを得ない。

【0006】ディスプレイへ応用するための第2の課題は、駆動に必要な配線をできるだけ単純化することである。上述のように、行状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これら配線に対する電圧を制御することにより、個々の素子からの電子放出を制御できるようにしなければならない。ところが、従来の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要がある。製造プロセスはかなり複雑にならざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0007】そこで本発明は、同一基板上に多数を配列して用いるような場合にも、できるだけ全体構造を単純化し、製造プロセスを簡単にすることができる電子放出素子を提供することを目的とする。

【0008】

【課題を解決するための手段】

(1) 本発明の第1の態様は、電子放出素子において、下部電極層と上部電極層との間に絶縁層を挟んでなる三層構造体を基板上に配置し、この三層構造体に、上面から少なくとも下部電極層に至る深さをもった縦穴を形成し、この縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜を形成するようにしたものである。

【0009】(2) 本発明の第2の態様は、上述の第1

の態様に係る電子放出素子において、三層構造体を通し基板に至る深さをもった縦穴を形成するようにしたものである。

【0010】(3) 本発明の第3の態様は、上述の第1または第2の態様に係る電子放出素子において、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴を形成するようにしたものである。

【0011】(4) 本発明の第4の態様は、上述の第1～第3の態様に係る電子放出素子において、列方向に伸びた下部電極層を行方向に複数配置するとともに、行方向に伸びた上部電極層を列方向に複数配置し、下部電極層と上部電極層との交差部分において両電極層間に絶縁層を挟み、各交差部分にそれぞれ三層構造体が形成されるようにし、各三層構造体に縦穴および電子放出膜を形成するようにしたものである。

【0012】(5) 本発明の第5の態様は、上述の第4の態様に係る電子放出素子において、上部電極層を絶縁層を介して基板上に形成するようにし、上部電極層の形成領域のうち、下部電極層との交差部分には三層構造体が形成され、それ以外の部分には上部電極層と絶縁層とからなる二層構造体が形成されるようにしたものである。

【0013】(6) 本発明の第6の態様は、上述の第1～第5の態様に係る電子放出素子を製造する方法において、絶縁性の基板上に第1の準備層を形成し、この第1の準備層をパターニングして下部電極層を形成する段階と、基板および下部電極層上に絶縁性の中間層を形成し、この中間層の上に第2の準備層を形成する段階と、第2の準備層をパターニングして上部電極層を形成する段階と、中間層をパターニングして絶縁層を形成する段階と、下部電極層、絶縁層、上部電極層からなる三層構造体の上面から、少なくとも下部電極層に至る深さをもった縦穴を形成する段階と、縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜を形成する段階と、を行うようにしたものである。

【0014】(7) 本発明の第7の態様は、上述の第1～第5の態様に係る電子放出素子を製造する方法において、縦穴の形成を、エッチングもしくはサンドブラスト法による切削工程により行うようにしたものである。

【0015】(8) 本発明の第8の態様は、上述の第4の態様に係る電子放出素子を製造する方法において、基板上に、列方向に伸びた下部電極層、行方向に伸びた上部電極層、両電極層間の絶縁層をそれぞれ形成した後、基板全面にネガ型レジスト層を形成し、基板下側から光を照射する背面露光を行い、この背面露光の際に、下部電極層および上部電極層の上面側への光の回り込み現象により、両電極層の交差部分のみが非露光部となるように、照射光強度および照射時間を設定し、露光後に前記レジスト層に対する現像を行って非露光部を除去し、交差部分においてレジスト層に開口部を形成し、こ

の開口部を利用して縦穴の形成を行うようにしたものである。

【0016】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0017】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。この例では、電子放出素子10は、ガラス基板11上に電極12、13を形成し、更にその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば、 SnO_2 、 In_2O_3 、 PbO などの金属酸化物、 Au 、 Ag などの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22は、たとえばITOなどの材料で構成され、アノード電極として機能することになる。

【0018】図2は、図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図であり、この図における切断線1-1による断面が図1に示されていることになる。電極12および13が所定間隔をおいて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0019】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20の間にも、電源32によってカソード/アノード間電圧が印加されるが、この図1に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、電極12、13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0020】ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラ

ットパネルディスプレイでは、スイッチ33を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的には、電子放出膜14に与える印加電圧の値および印加時間を調節することにより、対向基板20側への電子の飛翔量を制御することができる。

【0021】さて、このような電子放出素子10を利用したフラットパネルディスプレイを製作する上での技術的課題は、既に述べたように、個々の素子の特性均一化と駆動用配線の単純化とである。素子ごとの特性のばらつきは、主として寸法精度に依存する。図4は、この電子放出素子10の主要部分の寸法を示した図である。一般的なフラットパネルディスプレイの場合、ここに示す各部の寸法は、たとえば、 $D1=15\mu\text{m}$ 、 $D2=80\mu\text{m}$ 、 $D3=0.2\mu\text{m}$ 、 $D4=0.5\mu\text{m}$ といった程度の値になる（もちろん、これらの数値は一例として示したものであり、具体的な数値は個々のディスプレイによってそれぞれ異なる）。これらの寸法のうち、特に素子特性に影響を与える寸法は電極12、13間の間隔D1である。この間隔D1は、電子放出膜14に加わる電界強度を支配するものであり、間隔D1が変わると、電子の放出量も変わってくることになる。そこで、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板11上に配列された個々の電子放出素子についての寸法D1を均一にする必要がある。このため、実際の製造プロセスにおいては、たとえば、 $D1=15\mu\text{m}\pm 2\mu\text{m}$ といった所定の寸法精度が要求されることになり、高精度なパターニングプロセスが必要になる。これは製造コストを高騰させる要因となり、実用化への大きな障害になる。特に、今後は、低電力駆動型のディスプレイの要望が益々高まってゆく傾向にあり、間隔D1の絶対値は益々小さく設定せざるを得なくなり、より高い寸法精度が要求されるようになると予想される。

【0022】また、駆動用配線の単純化という課題も、従来構造の電子放出素子では、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を施し、各電子放出素子ごとに、電子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのパターニングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コストを高騰させる要因のひとつであり、実用化への障害となる。

【0023】§2. 本発明の電子放出素子の構造および動作原理

従来の構造では、電子放出膜14はガラス基板11に平行な膜として形成されている。これは「基板上に薄膜を

7

形成する」という要望に応えるためのごく一般的な方法である。これに対し、本発明の構造の特徴は、ガラス基板11上に形成した三層構造体に縦穴を掘り、この縦穴の壁面に電子放出膜を形成するという点にある。

【0024】いま、基板11に、図5(a)の斜視図に示すような三層構造体を用意する(図5では、基板は図示省略)。この三層構造体は、下部電極層52と上部電極層54との間に絶縁層53を挟んでなる構造体であり、いわゆる「サンドイッチ構造」をしている。このような三層構造体を用意し、その上面から下部電極層52に至る深さをもった縦穴C1を形成し、この縦穴の壁面に、通電により電子放出を行う機能をもった電子放出膜55を形成すれば、図5(b)の斜視図に示すような構造が得られる。縦穴C1の構造および電子放出膜55の形成状態は、図6の断面図に明瞭に示されている。図6(a)は、三層構造体に縦穴C1を形成した状態を示し、図6(b)は、この縦穴C1の壁面に電子放出膜55を形成した状態を示す。この図6に示された縦穴C1は、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴であり、いわゆる「すり鉢状」の縦穴になっている。

【0025】なお、図5に示す斜視図では、図6に示す断面図と同様のハッチングを施してあるが、このハッチングは断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。本願図面では、このように、斜視図においても、各構成要素に必要に応じてハッチングを施して示すことにする。

【0026】図7の断面図は、三層構造体を貫通し基板に至る深さをもった縦穴C2を形成した実施形態を示す。図7(a)は、三層構造体に縦穴C2を形成した状態を示し、図7(b)は、この縦穴C2の壁面に電子放出膜56を形成した状態を示す。この図7に示された縦穴C2も、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴であり、いわゆる「すり鉢状」の縦穴であるが、図6に示す縦穴C1が下部電極層52までの深さしか有していないのに対し、図7に示す縦穴C2はガラス基板51の上部まで到達する深さを有している。本発明における縦穴は、少なくとも下部電極層52に至る深さをもっていればよいので、この図7に示す例のように、ガラス基板51に到達する深さの縦穴C2を形成してもかまわない。もっとも、ガラス基板51を貫通するほど深い縦穴を形成することは、製造プロセスにおいて支障を生じるために好ましくない。

【0027】このように三層構造体に縦穴を形成し、その壁面に電子放出膜55を形成した構造体は、電子放出素子として機能する。たとえば、図6(b)に示す電子放出素子50を、図3に示す従来の電子放出素子と比較すれば、下部電極層52が電極12としての機能を果たし、上部電極層54が電極13としての機能を果たし、電子放出膜55が電子放出膜14としての機能を果たすことになる。また、絶縁層53は、電極12と電極13

8

との間の間隔精度を保つためのスペーサとしての役割を果たしている。

【0028】いま、このような構造をもった電子放出素子50について、図8に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、上部電極層54は接地され、下部電極層52には電源31から負の電圧が印加される。また、電子放出素子50と対向基板20との間にも、電源32によってカソード/アノード間電圧が印加されるが、この図8に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、下部電極層52および上部電極層54によって、電子放出膜55の底部/上縁部間に電圧が印加されると、電子放出膜55の膜表面部分に、図に矢印で示したような電子放出が起こる。すなわち、表面伝導型の電子放出現象が起こることになる。

【0029】ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図9に示すように、電子放出膜55の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ33を閉じた状態のままで、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御することができる。

【0030】なお、ここに示す例では、図8に示すように、下部電極層52側に負電圧を印加することにより、電子放出膜55の表面では、底部から上縁部へ向かう電子の流れが形成されるようにしているが、逆に、上部電極層54側に負電圧を印加することにより、電子放出膜55の表面において、上縁部から底部へ向かう電子の流れが形成されるようにしても、対向基板20側への電子放出は支障なく行われる。したがって、下部電極層52と上部電極層54との間の印加電圧の極性はどちらでもかまわない。

【0031】図10は、この電子放出素子50の主要部分の寸法を示した図である。ここで、絶縁層53の厚みD1としては、実用上、 $D1=0.1\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 50\mu\text{m}$ 程度に設定するのがよい。また、下部電極層52および上部電極層54の厚みD2、D3としては、実用上、 $D2, D3=0.01\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 30\mu\text{m}$ 程度に設定するのがよい。縦穴C1の上縁部における直径D4は、三層構造体の幅D5に収まる範囲内であればどのような値でもよいが、あまり小さいと有効な電子放出が得られないので、できるだけ三層構造体の幅D

5に近い値に設定するのが好ましい。三層構造体の幅D5は、電子放出の動作を考慮する上では任意でかまわないが、この三層構造体自体は容量素子として作用するので、素子自体の寄生容量値を低く抑えて応答速度を向上させるためにはできるだけ小さくするのが好ましく、実用上は、 $D5=10\mu\text{m}\sim 100\mu\text{m}$ 程度にするのが好ましい。これに応じて、縦穴C1の上縁部における直径D4も、 $D4=10\mu\text{m}\sim 100\mu\text{m}$ 程度に設定するのが好ましい。また、電子放出膜55の厚みD6としては、表面伝導型の電子放出現象が生じる厚みにする必要があり、効率的な電子放出を行わせるためには、できるだけ薄い方が望ましい。実用上は、 $D5=0.01\mu\text{m}\sim 1\mu\text{m}$ 程度に設定するのが好ましい。なお、上述した各部の最適寸法は、「すり鉢状」の縦穴C1の曲率に大きく左右されるものであり、実際には、絶縁層53の上両位置から下面位置に至る縦穴C1の表面に沿った経路の距離D7が、電子放出に適した値になるように、各部の寸法を設定するのが好ましい。この距離D7は、後述するように、図3に示す従来の電子放出素子における電極12、13の間隔に相当する距離であり、表面伝導型の電子放出現象を起こす上での重要なパラメータになる。

【0032】さて、この図10に示す本発明の構造を、図4に示す従来の構造と比較すると、従来の構造における電極12、13間の距離である寸法D1は、本発明における縦穴C1に沿って測定した絶縁層53の厚み寸法D7に対応することがわかる。ここで、図4における寸法D1も、図10における寸法D7も、いずれも電子放出膜に電界を与えるための一対の電極間寸法に対応するものであり、この電極間寸法によって、電子放出膜に与えられる電界強度が決定されることになる。そして、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板上に配列された個々の電子放出素子についての電極間寸法を均一にする必要があるということは、既に述べたとおりである。ここで、電極間寸法の精度に着目すると、図4に示す従来の構造においては、基板面に平行な平面方向の精度であるのに対し、図10に示す本発明の構造においては、基板面に垂直な厚み方向の精度であることがわかる。すなわち、図4に示す従来の構造を「横型構造」と呼び、図10に示す本発明の構造を「縦型構造」と呼ぶことにすれば、「横型構造」の場合、電極間寸法D1の精度を平面方向の精度として確保する必要があるのに対し、「縦型構造」の場合、電極間寸法D7の精度を絶縁層53の厚み方向の精度として確保すればよいということになる（もっとも、縦穴C1の曲率の精度を確保することも必要である）。

【0033】一般に、半導体プレーナプロセスなど、基板上に層形成を行う製造プロセスでは、平面方向の寸法精度を確保するよりも、厚み方向の寸法精度を確保する方が容易である。別言すれば、図4に示すように、正確

な所定間隔D1をもった電極12、13を形成する工程と、図10に示すように、正確な所定厚みD1をもった絶縁層53を形成する工程と、を比較すると、寸法値D1が同じ場合、前者よりも後者の方が工程は容易になる。特に、近年では、基板上の成膜技術は非常に進歩しており、厚みに関しては、かなりの精度で制御することが可能である。したがって、本発明の構造をもった電子放出素子は、従来の構造の電子放出素子に比べて、製造プロセスが容易になり、製造コストを低減させるというメリットが得られる。

【0034】§3. ディスプレイへ応用する実施形態
これまで、単一の電子放出素子についての構造を述べてきたが、本発明の電子放出素子は、フラットパネルディスプレイへの応用に特に適している。この場合、基板上に多数の電子放出素子を縦横に配置して用いることになる。以下、このような実施形態について述べることにする。

【0035】図11は、ガラス基板100上に4つの電子放出素子200を形成した状態を示す斜視図である。ディスプレイへ応用する場合、1つの電子放出素子が1画素分の表示動作を行うことになるので、この図11に示す例では、 2×2 の合計4画素分の表示が可能になる。もちろん、実際のディスプレイでは、より多数の電子放出素子が配列されることになる。なお、図11の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図11に示す電子放出素子の構造は次のとおりである。

【0036】まず、ガラス基板100上に、列方向に伸びた下部電極層110を行方向に複数（この例では2本）配置する。一方、行方向に伸びた上部電極層130を列方向に複数（この例では2本）配置する。このとき、上部電極層130は絶縁層120を介してガラス基板100上に形成するようにする。すなわち、絶縁層120は上部電極層130に対して、いわば「橋げた」の役割を果たすことになり、下部電極層110との交差部分においては、この「橋げた」として機能する絶縁層120の存在により、上部電極層130が下部電極層110を跨ぐ形になる。このような構造では、結局、上部電極層130の形成領域のうち、下部電極層110との交差部分には、下部電極層110/絶縁層120/上部電極層130という三層構造体が形成され、それ以外の部分には絶縁層120/上部電極層130という二層構造体が形成されるようになる。

【0037】もっとも、原理的には、上部電極層130の下方の全領域に絶縁層120を形成する必要はなく、少なくとも下部電極層110との交差部分に絶縁層120を設け、三層構造体が形成されるようにすれば足りる。したがって、この交差部分以外の領域については、

必ずしも絶縁層120を設ける必要はなく、ガラス基板100の上面に直接上部電極層130が形成されるような構造にしてもかまわない。しかしながら、実用上は、図11に示すように、上部電極層130の下方の全領域にわたって絶縁層120を形成するようにし、上部電極層130の上面がガラス基板100にほぼ平行な平坦面をなすように構成するのが、断線などを避ける上で好ましい。

【0038】さて、図11に示すように、各交差部分に形成された三層構造体には、上部電極層130の上面から、少なくとも下部電極層110に至る深さをもった縦穴が形成され、この縦穴の壁面部には、通電により電子放出を行う機能をもった電子放出膜140が形成されている。図11に示す斜視図では、この縦穴の構造が十分に表現されていないが、各交差部分には、図6(b)もしくは図7(b)に示すような構造の縦穴C1、C2が掘られており、その壁面部には、電子放出膜55、56と同じ構造の電子放出膜140が形成されていることになる。したがって、図11に示す電子放出膜140は、平面上に形成された膜ではなく、いわゆる「すり鉢状」の縦穴の壁面に形成された膜であり、電子放出膜140自身も「すり鉢状」の形状をしている。このような構成によれば、各交差部分ごとにそれぞれ独立した電子放出素子200が形成できる。

【0039】さて、ここで重要な点は、下部電極層110および上部電極層130は、それぞれガラス基板100上で縦横に伸びた配線層としても機能しうる点である。前述したように、ディスプレイとして利用するためには、マトリックス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の「横型構造」の電子放出素子の場合、このような配線のための層を別途用意する必要があるため、基板上の構造は非常に複雑になる。これに対して、本発明の「縦型構造」の電子放出素子の場合、下部電極層110および上部電極層130が配線の機能を果たすため、別途配線層を設ける必要はない。すなわち、本発明に係る電子放出素子によれば、駆動に必要な配線を単純化するという課題が達成できることになる。

【0040】図12は、本発明に係る電子放出素子の駆動原理を説明するための図である（ハッチングは、図11の各構成要素との対応を示すためのものである）。ここでは、5行5列、合計25個の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた下部電極層110が行方向に5本配置されており、また、行方向に伸びた上部電極層130が列方向に5本配置されており、25か所に交差部分が形成されている。そして、各交差部分には、それぞれ別個独立した電子放出素子200が形成されており、各電子放出素子200からの電子放出は、それぞれ独立して制御することができる。

【0041】このような制御を行うために、セレクト150およびドライバ160が設けられている。セレクト150は、5本の上部電極層130のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の下部電極層110のそれぞれに、所定の電圧信号を与える機能を有する。セレクト150が、5本の上部電極層130を順番に選択する動作を行えば、5本の行を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の行に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクト150が第1行目を選択して接地した状態において、ドライバ160から、第1列目の下部電極層110に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図9に示す配線がなされたことになり、対向基板20への電子放出が起こることになる。このような駆動方法は、いわゆる「単純マトリックス駆動」と呼ばれている方法である。

【0042】このように、本発明によれば、下部電極層110および上部電極層130をそのまま配線層として利用することができるため、ディスプレイに適用する場合にも構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができる。

【0043】§4. ディスプレイへ応用する場合の製造工程

最後に、図11に示す構造を得るための製造工程の一例を、図13～図19に示す斜視図を参照しながら説明する。なお、これらの斜視図においても、図11に示す各構成要素との対応関係を明らかにするためのハッチングを施すことにする。

【0044】まず、図13に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に導電性をもった第1の準備層115を、真空蒸着法やスパッタ法など一般的な成膜方法を用いて形成する。続いて、この第1の準備層115をパターニングして、図14に示すように、下部電極層110を形成する。この第1の準備層115のパターニングには、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。あるいは、エッチングの代わりにサンドブラスト法を用いてもよい。もっとも、第1の準備層115としては、必ずしもその時点で導電性をもった層を用いる必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属粒子分散型レジスト（いわゆる金属ペースト）をガラス基板100上に塗布して感光性のペースト層を形成し、このペースト層を第1の準備層115とし、フォトリソグラフィの手法により、このペースト層を露光後に現像してパターニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極層110を得ることができる。

なお、感光性のペースト層は、感光性をもった樹脂と有機金属との混合からなる有機金属混合レジストにより形成してもよい。

【0045】続いて、ガラス基板100および下部電極層110上の全面に、図15に示すように、絶縁性の中間層125を形成する。更に、図16に示すように、この中間層125上に、第2の準備層135を形成する。この第2の準備層135としては、第1の準備層115と同様に、導電性の層を用いてもよいし、上述した感光性のペースト層を用いてもよい。そして、第2の準備層135に対するパターニングを行い、続いて、中間層125に対するパターニングを行って、図17に示すように、絶縁層120および導電性をもった上部電極層130を形成する。この絶縁層120および上部電極層130を形成するためのパターニングも、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。あるいは、エッチングの代わりにサンドブラスト法を用いてもよい。また、上述したように、ペースト層を用いることもでき、この場合には更に焼成を行う。

【0046】もちろん、絶縁層120を形成するパターニング工程と、上部電極層130を形成するパターニング工程を別々に行ってもよい。たとえば、図15に示すように、中間層125を形成した後、この中間層125に対するパターニングを行って絶縁層120を形成した後、基板全面に第2の準備層135を形成し、この第2の準備層135に対するパターニングを行って上部電極層130を形成し、図17に示す構造を得ることも可能である。

【0047】こうして、下部電極層110と上部電極層130との交差部分において、下部電極層110、絶縁層120、上部電極層130からなる三層構造体が形成できる。続いて、図18に示すように、この三層構造体の上面、すなわち、上部電極層130の上面から、少なくとも下部電極層110に至る深さをもった縦穴Cを掘る。この縦穴Cを掘る工程としては、どのような加工工程を行ってもかまわない。たとえば、フォトリソグラフィおよび等方性エッチングを行うか、あるいは、フォトリソグラフィおよびサンドブラスト法による切削工程を行えば、「すり鉢状」の縦穴Cを形成することが可能である。すなわち、ガラス基板100上に図17に示す構造体が得られたら、基板全面にレジスト層を形成する。そして、各交差部分に対応する位置に円形パターンが配置されたマスクを用意し、このマスクを用いた露光を行う。レジスト層を現像すれば、各交差部分に円形の開口部が形成され、全面がレジスト層に覆われた状態の中で、この円形の開口部から上部電極層130の上面が露出することになる。そこで、この露出部分から所定のエッチング液を作用させて等方性エッチングを行うか、あるいは、この露出部分に微粒子を吹き付けてサンドブラスト法による切削工程を行えば、「すり鉢状」の縦穴C

が形成されることになる。この後、表面のレジスト層を除去すれば、図18に示す構造が得られる。

【0048】ところで、本願発明者は、上述したフォトリソグラフィ法において、マスクを用いてレジスト層に円形パターンを露光する代わりに、非常にユニークな露光方法を考え出した。この露光方法では、マスクを用いずに、ガラス基板100の下方から光を照射し、いわゆる背面露光を行うのである。ガラス基板100は透光性を有するが、その上に形成された下部電極層110、絶縁層120、上部電極層130は遮光性を有するため、基板上の全面に形成されたレジスト層は、これらの各層によって影になった非露光部と、それ以外の露光部とに分けられることになる。したがって、図17に示す構造体に対して背面露光を行えば、基本的には、レジスト層には、十文字状パターン（下部電極層110と上部電極層130との交差パターン）が非露光部として形成されることになる。

【0049】ところが、ガラス基板100の下方から照射する光の強度をある程度強くすると、光の「波としての振る舞い」が現れ、遮光性物体の影の部分にまで光が回り込むようになる。たとえば、図17において、下部電極層110の両縁の部分や、上部電極層130の両縁の部分にも背面からの光が回り込むようになる。そして、照射光の強度を更に強くしたり、照射時間を更に長くしたりすれば、下部電極層110や上部電極層130による影はほとんど解消し、ガラス基板100上を覆うレジスト層のほとんど全域が露光されることになる。ただし、このような光の回り込み現象が最も起こりにくい部分が交差部分である。この交差部分は、下部電極層110と上部電極層130との両方の影になる部分であり、照射光の強度を上げても、最後まで露光せずに残る部分となる。

【0050】このような現象を利用すれば、縦穴形成に必要なパターンをマスクを用いずに形成することが可能である。すなわち、背面露光の照射光強度や照射時間を適当に設定すれば、下部電極層110と上部電極層130との交差部分に位置するレジスト層だけが露光せずに残り、他の部分がすべて露光されるような状態を実現することが可能である。そこで、レジスト層として、露光部分が硬化し、非露光部分が現像により除去されるネガ型のレジストを用いるようにすれば、レジスト層の交差部分に相当する位置にのみ開口部を形成できる。この方法では、背面露光の照射光強度や照射時間の最適値を求める必要はあるが、マスクを必要としないため、位置合わせなどの技術は不要になる。いわゆる「セルフアライメント」によるパターン形成が可能になる。

【0051】最後に、この縦穴Cの壁面部に、通電により電子放出を行う機能をもった電子放出膜140を形成すれば、図19に示すような電子放出素子を得ることができる（図19の斜視図では、電子放出膜140が平面

的に見えるが、実際には、平面的ではなく「すり鉢状」をしていることになる。なお、電子放出膜140を形成する工程としては、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を用意し、この溶剤を縦穴Cの壁面部に塗布乾燥させるような方法を採用することができる。

【0052】85. その他の変形例

以上、本発明をいくつかの実施形態に基づいて説明したが、本発明はこれらの実施形態に限定されるものではなく、この他にも種々の形態で実施可能である。以下にいくつかの変形例を述べておく。

【0053】上述の実施形態では、三層構造体に「すり鉢状」の縦穴を形成していたが、形成する縦穴は必ずしも「すり鉢状」にする必要はなく、浅い部分も深い部分も開口面積が等しい形状（たとえば円柱状）にしてもかまわないし、その他どのような形状にしてもかまわない。また、この縦穴形成のためのエッチングは、上述の実施形態で述べた「等方性エッチング」に限定されるものではなく、「反応性エッチング」等、種々の方法を採用することができる。

【0054】図11に示す構造によれば、絶縁層120が上部電極層130に沿って形成されており、いわば橋げたとしての役割を果たしているが、逆に、絶縁層120を下部電極層110に沿って形成し、いわゆる「カマボコ型」の絶縁層120によって下部電極層110全体を覆う構造にしてもよい。別言すれば、下部電極層110の上面および側面を覆うようにして列方向に伸びるチューブ状の絶縁層120を形成し、このチューブ状の絶縁層120が上部電極層130をトンネルのように貫通する構造が得られることになる。要するに本発明では、下部電極層/絶縁層/上部電極層という三層構造体を形成し、これに縦穴を形成した構造が実現できれば、具体的にはどのような構造を採用してもかまわない。

【0055】

【実施例】

<材質に関する実施例>図6(b)に示す構造体の各部の材質としては、次のような材料を用いるのがよい。

【0056】下部電極層52および上部電極層54：電極として機能する導電性材料であれば、どのようなものでもよいが、耐電圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al, Ni, Pd, Pb, Pt, W, Mo, Cr, Ti, Cu, Au, Agなどの金属材料を用いるのが好ましい。

【0057】絶縁層53：特に、表面伝導性の低い材料を用いるのが好ましく、具体的には、石英ガラス、SiO₂、Si₃N₄などを用いるのが好ましい。

【0058】電子放出膜55：表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。SnO₂、In₂O₃、PbOなどの

金属酸化物、Au、Agなどの金属、カーボンその他各種半導体などが一般的に知られている材料である。この他、たとえば、特公平6-87392号公報に開示されているように、微粒子を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局部的に破壊、変形もしくは変質させて、電氣的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0059】<電子放出素子の製造方法に関する実施例1>厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚3μmのCr層を堆積する(図13)。その上に、レジスト剤(東京応化工業株式会社製「ORM85」)をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、所望のパターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、Crエッチング液(東京応化工業株式会社製「MR-DS」)を用いてCrを現像、水洗する。

【0060】次に、120°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストップ」)中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、Crからなる下部電極層110が得られる(図14)。

【0061】続いて、スパッタ法により、膜厚20μmのSiO₂層を堆積し(図15)、その上に、スパッタ法により、膜厚3μmのCr層を堆積する(図16)。その上に、レジスト剤(東京応化工業株式会社製「ORM85」)をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、所望のパターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、Crエッチング液(東京応化工業株式会社製「MR-DS」)を用いてCrを現像、水洗する。こうして、中間層125上にCrからなる上部電極層130が得られる。

【0062】次に、120°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストップ」)中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。更に、CHF₃+O₂をエッチャントとして用いたリアクティブ・イオン・エッチングを行い、Crからなる上部電極層130をマスクとして、中間層125の露出部分を除去する。以上の工程で、SiO₂からなる絶縁層120が得られる(図17)。

【0063】こうして交差部分に三層構造体が形成され

たら、基板全面にレジストフィルム（日本合成化学株式会社製「NCP225」）を融着し、所望のパターンを露光し、レジストフィルムの現像、水洗を行い、三層構造体の上面に円形の開口部を設ける。続いて、サンドブラスト法により、開口部に微粒子を吹き付け、「すり鉢状」の縦穴Cを形成した後、基板全体をNaOH溶液に3分間浸すことにより、残留レジストを剥離除去し、純水で洗浄、乾燥する（図18）。

【0064】更に、有機パラジウム化合物を含む有機溶媒（奥野製薬工業株式会社製「キャタペーストCCP」）からなるインキを、スクリーン印刷法で各縦穴Cの上縁部に印刷する。そのまま、15分間放置すると、縦穴Cの上縁部に印刷したインキが縦穴Cの底部に向かって流動し、縦穴Cの壁面部に「すり鉢状」のインキ膜が形成される。その後、約200°Cで20分間焼成し、Pbからなる微粒子を含む「すり鉢状」の形状をした電子放出膜140を得る（図19）。

【0065】＜電子放出素子の製造方法に関する実施例2＞厚み3mmの清浄な石英ガラス基板上に、金属微粒子を分散させた感光性レジスト（デュボン社製「フォードルAu5956」）をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、厚み7μmの有機金属薄膜を得る（図13）。空冷後、所望のパターンを露光し、1%水酸化ナトリウム水溶液にて現像する。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去すれば、厚み3μmのAu層を得る。以上の工程で、Auからなる下部電極層110が得られる（図14）。

【0066】続いて、この基板上に、ガラス微粒子を分散させた感光性レジスト（デュボン社製「フォードル6050」）をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、厚み45μmの絶縁層を得る（図15）。空冷後、所望のパターンを露光し、トリクロロエチレンにて現像するこの基板を500°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去すれば、厚み22μmの絶縁層を得る。この絶縁層が、図17に示す絶縁層120になる（この時点では、まだ上部電極層130は形成されていない）。

【0067】更に、この基板上に、金属微粒子を分散させた感光性レジスト（デュボン社製「フォードルAu5956」）をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、厚み7μmの有機金属薄膜を得る（図15）。空冷後、所望のパターンを露光し、トリクロロエチレンにて現像する。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去すれば、厚み3μmのAu層を得る。このAu層が、上部電極層130になる（図17）。

【0068】こうして交差部分に三層構造体が形成され

たら、基板全面にレジストフィルム（日本合成化学株式会社製「NCP225」）を融着し、所望のパターンを露光し、レジストフィルムの現像、水洗を行い、三層構造体の上面に円形の開口部を設ける。続いて、サンドブラスト法により、開口部に微粒子を吹き付け、「すり鉢状」の縦穴Cを形成した後、基板全体をNaOH溶液に3分間浸すことにより、残留レジストを剥離除去し、純水で洗浄、乾燥する（図18）。

【0069】更に、有機パラジウム化合物を含む有機溶媒（奥野製薬工業株式会社製「キャタペーストCCP」）からなるインキを、スクリーン印刷法で各縦穴Cの上縁部に印刷する。そのまま、15分間放置すると、縦穴Cの上縁部に印刷したインキが縦穴Cの底部に向かって流動し、縦穴Cの壁面部に「すり鉢状」のインキ膜が形成される。その後、約200°Cで20分間焼成し、Pbからなる微粒子を含む「すり鉢状」の形状をした電子放出膜140を得る（図19）。

【0070】＜対向基板の製造方法に関する実施例＞厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚1μmのITO層を堆積する。その上に、EB蒸着法により膜厚20μmのZnO:Znからなる蛍光体層を蒸着形成し、対向基板20を作製した。

【0071】＜電子放出動作に関する実施例＞10⁻¹⁰Paに保った真空チャンバ中に、上述の各実施例で作製した電子放出素子と対向基板とを、3mmの間隔で平行に保持し、対向基板と電子放出素子との間のカソード/アノード電圧として5kVを印加した。また、電子放出素子の動作電圧として、上部電極層を接地電位に保ち、下部電極層に-20Vを印加したところ、対向基板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0072】

【発明の効果】以上のとおり、本発明によれば縦型「すり鉢状」構造により電子放出素子を構成したため、寸法精度を確保しやすくなり、また、素子電極を配線としても利用することができるようになるので、同一基板上に多数を配列して用いるような場合にも、全体構造は単純化され、製造プロセスを簡単にすることができる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図であり、この図における切断線1-1による断面が図1に示されている。

【図3】図1に示す電子放出素子10からの電子放出が行われている状態を示す断面図である。

【図4】図1に示す電子放出素子10の主要部分の寸法

を示した図である。

【図5】本発明の一実施形態に係る電子放出素子50の構造を示す斜視図である。

【図6】本発明の一実施形態に係る電子放出素子50の構造を示す断面図である。

【図7】本発明の別な一実施形態に係る電子放出素子の構造を示す断面図である。

【図8】図6(b)に示す電子放出素子50に対する配線を示す断面図である。

【図9】図6(b)に示す電子放出素子50からの電子放出が行われている状態を示す断面図である。

【図10】図6(b)に示す電子放出素子50の主要部分の寸法を示した図である。

【図11】ガラス基板100上に本発明の4つの電子放出素子を形成した状態を示す斜視図である。

【図12】本発明に係る電子放出素子の駆動原理を説明するための平面図である。

【図13】図11に示す構造を得るための製造工程の第1段階を示す斜視図である。

【図14】図11に示す構造を得るための製造工程の第2段階を示す斜視図である。

【図15】図11に示す構造を得るための製造工程の第3段階を示す斜視図である。

【図16】図11に示す構造を得るための製造工程の第4段階を示す斜視図である。

【図17】図11に示す構造を得るための製造工程の第5段階を示す斜視図である。

【図18】図11に示す構造を得るための製造工程の第6段階を示す斜視図である。

【図19】図11に示す構造を得るための製造工程の最終段階を示す斜視図である。

【符号の説明】

10…電子放出素子

11…ガラス基板

12…電極

13…電極

14…電子放出膜

20…対向基板

21…ガラス基板

22…透明電極

23…蛍光体層

31…電源

32…電源

33…スイッチ

50…電子放出素子

51…ガラス基板

52…下部電極層

53…絶縁層

54…上部電極層

55…電子放出膜

56…電子放出膜

100…ガラス基板

110…下部電極層

115…第1の準備層

120…絶縁層

125…中間層

130…上部電極層

135…第2の準備層

140…電子放出膜

150…セレクト

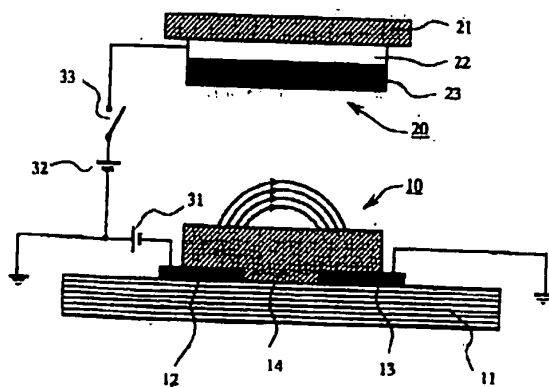
160…ドライバ

200…電子放出素子

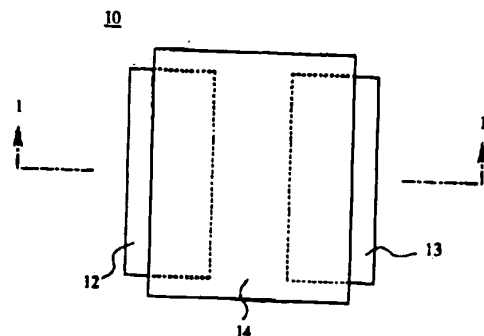
C, C1, C2…縦穴

D1~D7…各部の寸法

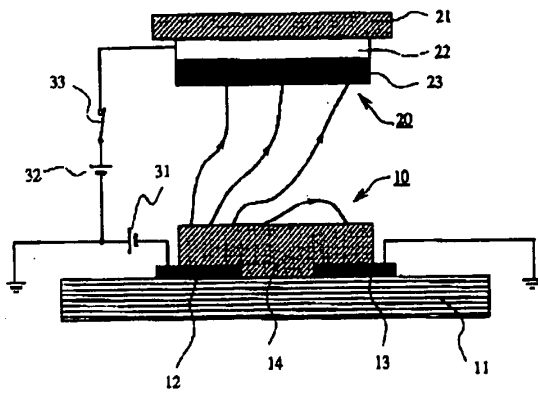
【図1】



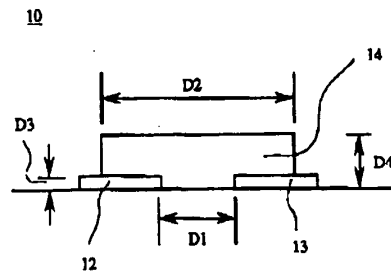
【図2】



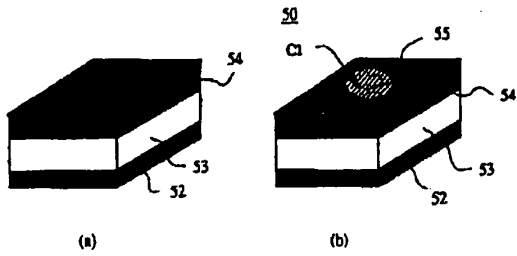
【図3】



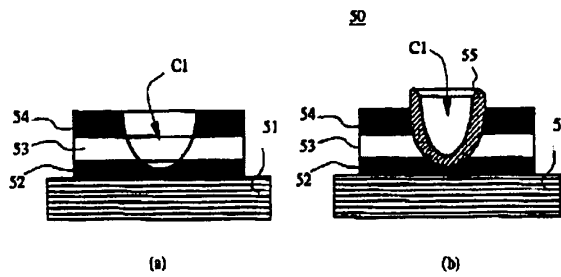
【図4】



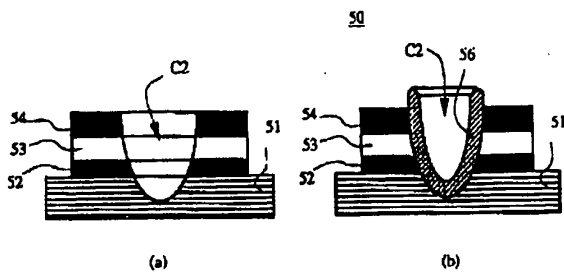
【図5】



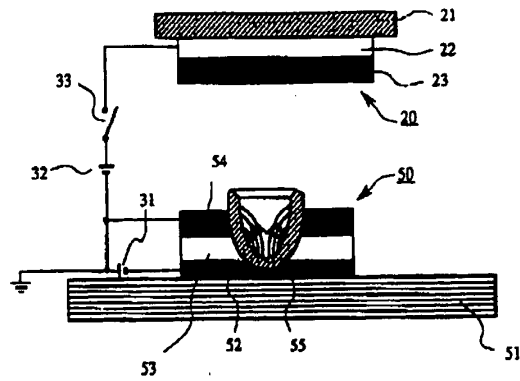
【図6】



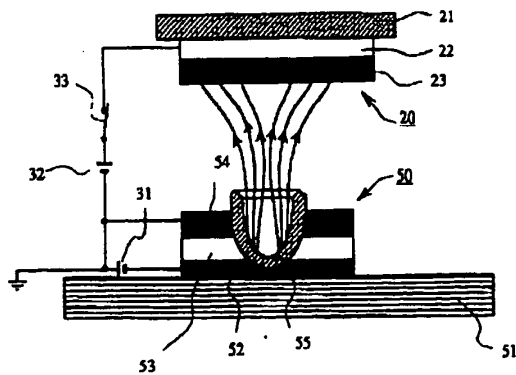
【図7】



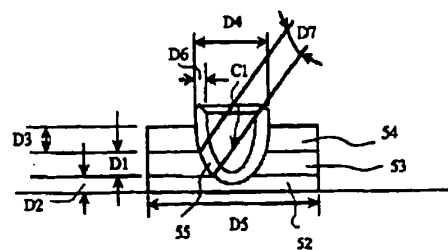
【図8】



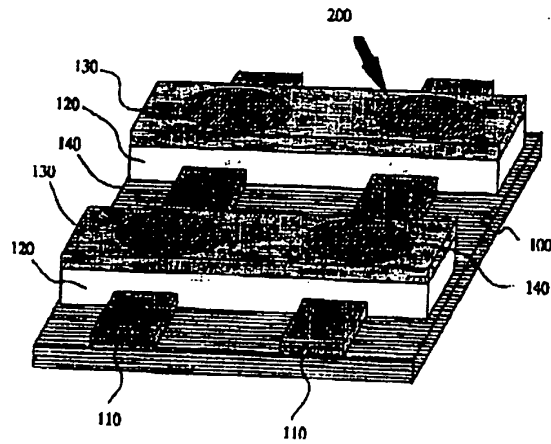
【図9】



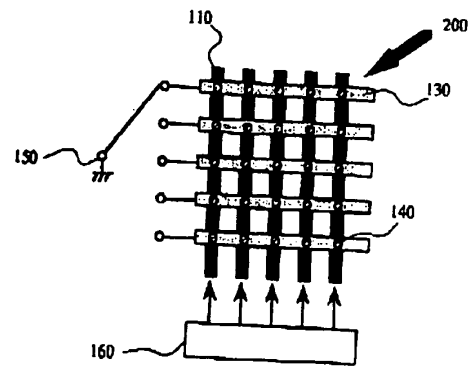
【図10】



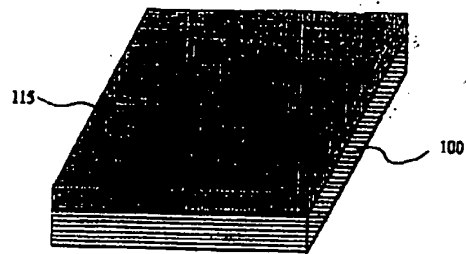
【図11】



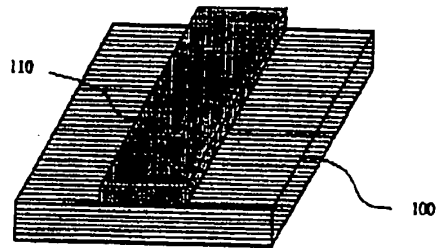
【図12】



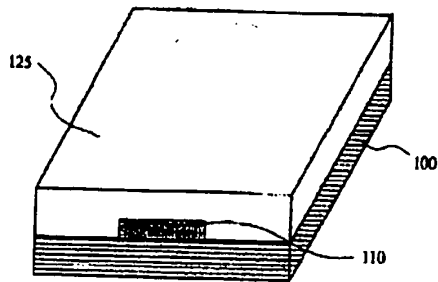
【図13】



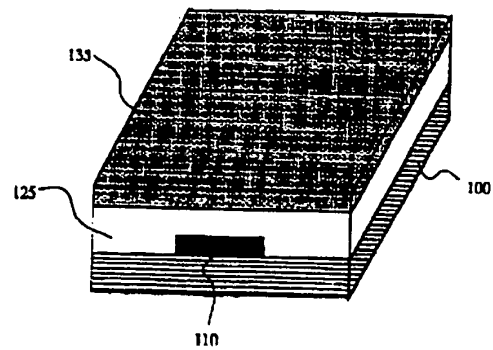
【図14】



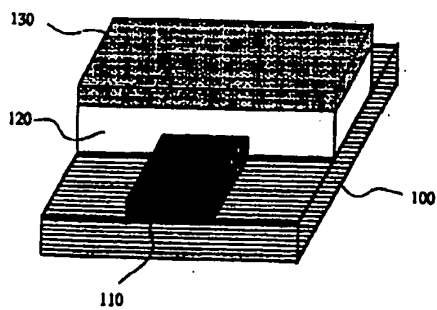
【図15】



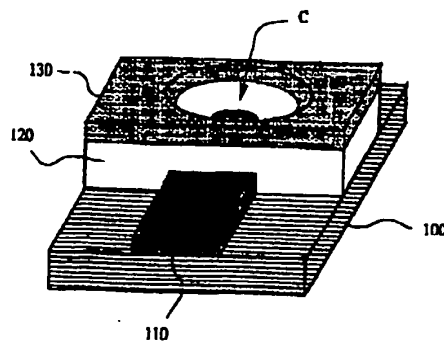
【図16】



【図17】



【図18】



【図19】

